

## DIRECT MULTILEVEL THIN-FILM TRANSISTOR PRODUCTION METHOD

**Patent number:** JP9506738 (T)

**Publication date:** 1997-06-30

**Inventor(s):**

**Applicant(s):**

**Classification:**

- international: *G02F1/1343; G02F1/136; G02F1/1368; H01L21/336; H01L21/77; H01L21/84; H01L27/12; H01L29/49; H01L29/786; G02F1/13; H01L21/02; H01L21/70; H01L27/12; H01L29/40; H01L29/66; (IPC1-7): H01L29/786; G02F1/1343; G02F1/136; H01L21/336; H01L29/786*


- european: H01L21/77T; H01L21/336D2B; H01L27/12; H01L29/49B; H01L29/786; H01L29/786E4B4; H01L29/786E4C4


**Application number:** JP19940520709T 19940315


**Priority number(s):** WO1994FR00278 19940315; FR19930003012 19930316


**Also published as:**

 WO9421102 (A2)

 WO9421102 (A3)

 US5830785 (A)

 FR2702882 (A1)

 EP0689721 (A1)

Abstract not available for JP 9506738 (T)

Abstract of correspondent: **WO 9421102 (A2)**

A method for producing direct multilevel thin-film transistors (TFTs) with a small number of mask levels, for forming a contact between a transistor gate and the source or drain of the same or another transistor, and for use in producing flat LCD screens, particularly on screens having integral electronic control circuitry. Said method for producing direct multilevel thin-film transistors (20; 23; 24) having four mask levels comprises the steps of depositing and etching a first conductive level (11) on an insulating substrate (10) to form a source (1) and a drain (2), depositing and etching a semiconductor level (13) alone or followed by a first insulating level (16) joining the source (1) and the drain (2), depositing and etching a second insulating level (14), and depositing and etching a second conductive level (15) constituting the gate (22) of the transistor (20, 23).

---

Data supplied from the *esp@cenet* database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平9-506738

(43) 公表日 平成9年(1997)6月30日

(51) IntCl. <sup>9</sup>	識別記号	庁内整理番号	F I
H 0 1 L 29/786		9449-4M	H 0 1 L 29/78
G 0 2 F 1/1343		7809-2K	G 0 2 F 1/1343
	5 0 0	7809-2K	1/136
H 0 1 L 21/336		9449-4M	H 0 1 L 29/78

審査請求 未請求 予備審査請求 有 (全 29 頁)

(21) 出願番号 特願平6-520709  
(86) (22) 出願日 平成6年(1994)3月15日  
(85) 翻訳文提出日 平成7年(1995)9月13日  
(86) 国際出願番号 P C T / F R 9 4 / 0 0 2 7 8  
(87) 国際公開番号 W O 9 4 / 2 1 1 0 2  
(87) 国際公開日 平成6年(1994)9月29日  
(31) 優先権主張番号 9 3 / 0 3 0 1 2  
(32) 優先日 1993年3月16日  
(33) 優先権主張国 フランス (FR)  
(81) 指定国 EP (AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, M C, NL, PT, SE), J P, KR, US

(71) 出願人 トムソン・エルセデ  
フランス国 75008 バリ プルヴァル・  
オスマン 173  
(72) 発明者 サンソン, エリク  
フランス国 92402 クールベボワ セイ  
クス ベベ 329 トムソン・セエスエ  
フ・エスセベイ内 (番地なし)  
(72) 発明者 スジドゥロ, ニコラ  
フランス国 92402 クールベボワ セイ  
クス ベベ 329 トムソン・セエスエ  
フ・エスセベイ内 (番地なし)  
(74) 代理人 弁理士 伊東 忠彦 (外1名)

最終頁に続く

(54) 【発明の名称】 直接多層薄膜トランジスタの製造方法

(57) 【要約】

トランジスタのゲートと、同一又は別のトランジスタのソース又はドレインの間に接点を形成する少数のマスク層を有し、フラットなLCDスクリーン、特に、一体的な電子制御回路を有するスクリーンの製造に使用される直接多層薄膜トランジスタ (TFT) の製造方法。4層のマスク層を有する直接多層薄膜トランジスタ (20; 23; 24) の製造方法は、ソース (1) 及びドレイン (2) を形成するため絶縁性基板 (10) に第1の導電性層 (11) を被覆し、エッチングする段階と、半導体層 (13) だけ、又は、引続き上記ソース (1) と上記ドレイン (2) を接合する第1の絶縁性層 (16) を被覆し、エッチングする段階と、第2の絶縁性層 (14) を被覆し、エッチングする段階と、トランジスタ (20, 23) のゲート (22) を構成する第2の導電性層 (15) を被覆し、エッチングする段階とからなる。

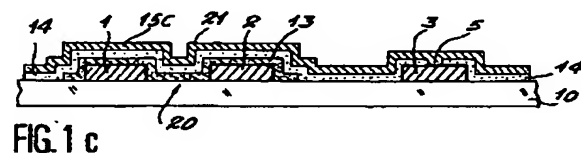


FIG. 1c

## 【特許請求の範囲】

1. 4層のマスク層を有する直接多層薄膜トランジスタ（20, 23, 24）の製造方法であって、
  - ー ソース（1）及びドレイン（2）を形成するため、絶縁性基板（10）の上に第1の導電性層（11）を被覆し、エッチングする段階と、
  - ー 半導体層（13）と、続いてソース（1）及びドレイン（2）を接合する第1の絶縁体層（16）とを被覆し、エッチングする段階と、
  - ー 第2の絶縁体層（14）を被覆し、エッチングする段階と、
  - ー トランジスタ（22, 23）のゲート（22）を形成する第2の導電性層（15）を被覆し、エッチングする段階とからなる、方法。
2. 上記第2の絶縁体層（14）は、上記方法の最初の段階中に被覆されエッチングされた接合部（3）に達する貫通する開口（5）を作るようエッチングされる請求項1記載の方法。
3. 上記第2の絶縁体層（14）は、上記半導体（13）及び上記第1の絶縁体層（16）の上にあるその一部（29）が除去され、トランジスタゲートの誘電体（24）が上記第1の絶縁体層（16）によって形成されるようエッチングされる請求項2記載の方法。
4. 上記第2の導電性層（15）は上記半導体層（13）の光伝導性を阻止するようエッチングされる請求項1乃至3のうちいずれか1項記載の方法。
5. 3層のマスク層を有する直接多層薄膜トランジスタ（30）

の製造方法であって、

- ー ソース及びドレイン（1, 2）を形成するため、絶縁性基板（10）の上に第1の導電性層（11）を被覆し、エッチングする段階と、
- ー 半導体層（13）と、続いて絶縁体層（16）を被覆し、ソース（1）とドレイン（2）を接合する組立体をエッチングする段階と、
- ー 上記半導体層（13）のエッジ（131, 132）を酸化、窒化、又は、パッシベーションする段階と、
- ー 導電性層（15）を被覆し、エッチングする段階とからなる、方法。

6. 上記段階に続いて、上記エッチングされた導電性層(15)をマスク層として用いて、上記半導体層(13)ー絶縁体層(16)からなる2重の層をエッチングする段階を更に有する請求項4記載の方法。

7. 上記2番目のエッチングの段階に続いて、上記半導体層(13)のエッチングされた側を酸化、窒化、又は、パッシベーションする段階を更に有する請求項5記載の方法。

8. 上記ソース(1)、ドレイン(2)及びゲート(22)は、アクティブマトリックス液晶スクリーンのカラム(25)、画素電極(26)及びロウ(28)を夫々形成するようエッチングされる請求項1乃至7のうちいずれか1項記載の方法。

9. 上記製造されたトランジスタは、一体的な電子制御回路及び／又は信号処理電子回路を製造するため使用される請求項1乃至8のうちいずれか1項記載の方法。

10. 上記絶縁性基板(10)は透明である請求項1乃至9のうちいずれか1項記載の方法。

11. 上記第1の導電性層(11)は透明である請求項1乃至10のうちいずれか1項記載の方法。

12. 上記第1の透明の導電性層(11)は表面にドーピングされている請求項1乃至11のうちいずれか1項記載の方法。

13. 上記第1の導電性層(11)は2重の導電体がドーピングされた半導体層である請求項1乃至12のうちいずれか1項記載の方法。

14. 上記絶縁性基板(10)は、この基板に直接被覆された導電性層によって前処理され、続いて絶縁性層が被覆され、この組立体が蓄電キャパシタの上記電極及び誘電体を形成する請求項1乃至13のうちいずれか1項記載の方法。

15. 上記導電性層は不透明であり、下からの光が上記電極(26)を通過することができず、このように製造されたブラックマトリックスはスクリーンのコントラストを改善するようエッチングされる請求項14記載の方法。

16. 上記導電性層は不透明であり、スクリーン下からの光からトランジスタ

(20, 23, 24, 30)の上記半導体層(30)をマスクするようエッチングされる請求項14記載の方法。

17. 上記基板(10)はガラスプレートである請求項1乃至16のうちいずれか1項記載の方法。

18. 上記第1の透明の導電性層は、インジウムと錫の酸化物、又は、酸化錫からなる請求項1乃至17のうちいずれか1項記載の方法。

19. 上記半導体材料は、水素化アモルファスシリコン、或いは、多結晶又は微結晶のシリコンから作られる請求項1乃至18のうちいずれか1項記載の方法。

20. 上記絶縁性材料は、二酸化珪素、窒化珪素又はオキシ窒化物である請求項1乃至19のうちいずれか1項記載の方法。

21. 導電性材料は、アルミニウム、チタン、クロム、モリブデン、タングステン、タンタル、インジウム及び酸化錫の合金又は多層から作られる請求項1乃至20のうちいずれか1項記載の方法。

22. 画素電極を制御するアクティブ素子は直接多層薄膜トランジスタであるアクティブマトリックスを含み、

請求項1乃至21のうちいずれか1項記載の方法を使用して作られる液晶スクリーン。

23. アクティブマトリックス及び一体的な電子制御回路を含む液晶スクリーンであって、

画素電極を制御し、上記一体的な電子制御回路を形成する上記アクティブ素子は、直接多層薄膜トランジスタであり、

請求項1乃至21のうちいずれか1項記載の方法を使用して作られる液晶スクリーン。

24. 請求項1乃至7のうちいずれか1項記載の方法によって絶縁性基板(10)の上に作られる電子回路。

## 【発明の詳細な説明】

## 直接多層薄膜トランジスタの製造方法

## 発明の背景

本発明は、トランジスタゲートと、同一又は別のトランジスタのソース又はドレインとの間の接点を形成するため少数のマスク層を有し、フラットな液晶スクリーン、特に、一体的な電子制御回路を有するスクリーンを製造する際に使用する直接多層薄膜トランジスタ（TFT）の製造方法に関する。

液晶スクリーンは、マトリックス状にレイアウトされ、接続用のカラム又はロウによって電子制御回路に接続された多数の液晶セルから構成される。第1の支持極板は、第1の組の電極と、これらの電極のための制御部品と、アドレス指定用カラム及びロウ（アクティブマトリックス）とを含む基板により構成される。液晶は、この極板と、逆の電極を形成する第2の支持極板の間に含まれる。かくして形成された各画素（画像素子）は、光学的な弁として機能する。光の透過又は反射の局所的な変更は、極板のアクセス接点と、逆の極板の接点の間に電圧を印加するため電子制御回路を使用することにより実現される。この電圧によって対向する電極の間に電界が発生し、通過する光の特性を多少変える二つの電極間にある多量の液晶を作動させる。

アクティブマトリックススクリーンの場合、2端子（ダイオード）又は3端子（トランジスタ）を有するアクティブ素子が各画素と、各カラムと各ロウの交点に関連付けられる。この形のスクリーンは、薄膜トランジスタから構成されたアクティブマトリックスを作成する方法を使用して製造することが可能である。上記トランジスタは、直接、換言すれば、基板に対しゲートがソースとドレインの上にある多層構造を有し、或いは、ゲートがソース及びドレイン

の下にある場合には逆向きの多層構造でもよい。

直接多層構造は、モリン(F. Morin)等の欧州特許出願第82 783号明細書「薄膜シリコントランジスタを絶縁基板に製造する方法」、及び、同じくモリン(F. Morin)等によるジャパニディスプレイ'86 "A6" の論文「ミニテル応用のための対角方向アクティブマトリックスアドレス指定形LCD (Diagonal Acti

ve Matrix Addressed LCD for Minitel Application)」に記載されている。

上記文献に記載されている方法は、データカラムを電極と同時に作ることによって薄膜トランジスタを2層のマスクだけで作るために使用し得るので極めて経済的である。その上、ウガイ(Y. Ugai)等による論文「S I—薄膜トランジスタによりアドレス指定された7. 23インチカラー液晶ディスプレイ (A 7.23-in.-Diagonal Color LCD Addressed by a-SI TFTs)」 (S I D 84 ダイジェスト、308ページ) には、3層のマスクによって作られた直接多層トランジスタが提案されている。

しかし、上記技術には多数の欠点があり、シリコンの光伝導性に起因する欠点がその中で最も重大である。上記トランジスタは、上方からの光、換言すれば、そのエッジを通る光を受けるので、「ダークマスク」技術(半導体材料を完全に被うゲート)は実現できない。上記トランジスタは、更に、下方からの光、換言すれば、基板が透明であるとき、基板と直接接触しているトランジスタのチャンネルを通る光を受ける。その上、半導体材料が処理の最後に表面に露出されるのを防ぐため、上記トランジスタの製造方法にパッシベーション段階を付加的に導入する必要がある。最終的に、寸法的な制限は、ゲートソース接点が得られないことである。

光伝導性の問題の解決法は、例えば、ホシデン(HOSIDEN)の欧州特許第186036号及び欧州特許第179915号明細書、ワダ(T. Wada)等による文献「1280×800のカラーピクセル15インチ形フルカラーアクティブマトリックス液晶ディスプレイ(128

0×800 Color Pixel 15 inch Full Color Active Matrix LCD)」(ユーロディスプレイ'90 「第10回国際ディスプレイ研究会議」予稿集の370ページ)に提案されている。上記解決法は、少なくとも4層のマスクを必要とし、ゲートソース接点、或いは、ゲートドレイン接点は全く得られない。その上、上記光伝導性の問題にかかる解決法によって解決する唯一の方法は、逆の電極上に不透明なマスクを被覆しエッチングすることである。

発明の概要

本発明は3層又は4層のマスクを用いた経済的な製造方法によって上記欠点を解決することが可能である。

本発明は、液晶スクリーンで使用可能な4層のマスクを用いた直接多層薄膜トランジスタの製造方法に関する。かかる製造方法は、以下の段階：

- ー ソース及びドレインを形成するため、絶縁性基板に第1の導電性層を被覆し、エッチングする段階と、
- ー 半導体層をそれだけ、又は、ソースとドレインを接合する第1の絶縁体層と共に被覆し、エッチングする段階と、
- ー 第2の半導体層を被覆し、エッチングする段階と、
- ー 上記トランジスタのゲートを形成する第2の導電性層を被覆し、エッチングする段階とからなることを特徴とする。

本発明は、更に、液晶スクリーンで使用可能な3層のマスクを用いた直接多層薄膜トランジスタの製造方法に関する。かかる製造方法は、以下の段階：

- ー ソース及びドレインを形成するため、絶縁性基板に第1の導電性層を被覆し、エッチングする段階と、
- ー 半導体層と絶縁体層を被覆し、ソースとドレインを接合する組立体をエッチングする段階と、
- ー 上記半導体層の酸化、窒化、又はパッシベーションする段階

と、

- ー 上記トランジスタのゲートを形成する導電性層を被覆し、エッチングする段階からなることを特徴とする。

この方法は、マスク層としてエッチングされた導電性層を使用する2層の（半導体／絶縁体）層のエッチング段階と、上記半導体堆積層のエッチングされた側の酸化、窒化、又は、パッシベーション化の段階が後に続けられる。

本発明は、アクティブマトリックス形のトランジスタが上記の形の方法で使用して作られた液晶スクリーンの製造方法にも関する。

本発明の他の目的は、本発明の方法のいずれかの一実施例により絶縁性基板に作られる電子回路である。



本発明の方法は、本出願人により出願されたフランス国特許出願第9 1 1 2 5 8 6号明細書に記載されているように、処理中にトランジスタをパッシベーションし、上方からの光に対し反応しないようにさせ、下側をブラックマトリックスによって保護するために使用することが可能である。

本発明の方法は、トランジスタのゲートを同一又は別のトランジスタのソース又はドレインに接続し得ることに依拠して、アクティブマトリックスと同一の基板に集積回路を作るため使用することが可能であるので、「一体化ドライバ」技術に使用される。更に、余分なマスク層を追加することなく、上記方法を使用して異なる形のトランジスタ及びキャパシタを作ることが可能である。

#### 図面の簡単な説明

添付図面を参照して以下の説明を読むことにより、本発明はより良く理解され、他の利点及び特徴は明らかになるであろう。

- ・図1 a乃至1 cには本発明の方法の第1の実施例が示されている。
- ・図1 dは図1 a乃至1 cに示された方法を用いて作られたアク

ティブマトリックススクリーンの部分平面図である。

- ・図1 eはインバータの電氣的なブロック図である。
- ・図1 fには図1 a乃至1 cの方法を用いて作られた図1 eのインバータが示されている。
- ・図2 a乃至2 dには本発明の方法の第2の実施例が示されている。
- ・図2 eは図2 a乃至2 cに示された方法を用いて作られたアクティブマトリックススクリーンの部分平面図である。
- ・図2 fは、図2 a、2 b及び2 dに示された方法を用いて作られたアクティブマトリックススクリーンの部分平面図である。
- ・図2 gには図2 a乃至2 cの方法を用いて作られた図1 eのインバータが示されている。
- ・図2 hには図2 a、2 b及び2 dの方法を用いて作られた図1 eのインバータが示されている。

- ・図3 a乃至3 cには本発明の方法の第3の実施例が示されている。

・図3 dは図3 a乃至3 cに示された方法を用いて作られたアクティブマトリックススクリーンの部分平面図である。

・図3 eには図3 a乃至3 cの方法を用いて作られた図1 eのインバータが示されている。

上記図面において同一の素子及び同一の材料には同一の参照番号が使用されている。

図1 aには、ソース1（データカラム）と、ドレイン2（電極）と、任意の相互接続部3とを作成する第1の段階において、透明導電性層11又は、半導体がドーパされた2層の透明導電性層が被覆され、エッチングされた絶縁性、かつ、場合によっては透明性の基板10が示されている。第2の段階において、この第1の層が、未だドーパされていない場合、ソース1とドレイン2の間に抵抗性の接点を作るため表面上にドーパしてもよい。例えば、かかるドー

ピングは、磷と水素のプラズマ環境において、透明導電体11の上を磷で被覆し、導電体11と、ソース1とドレイン2の間に抵抗性の接点を作る半導体材料13（図1 bを参照のこと）とに磷を分散させる段階とからなる「フラッシュ ホスファイン(flash phosphine)」形の方法を用いて行なわれる。この方法は、ジャパンディスプレイ '89の出版物の506ページに記載されている。

図1 bに示された第3の段階は、第1の層11を完全に被うため半導体材料13又は半導体性の多層を被覆し、エッチングし、好ましくは、かかる層によって形成されたメサを各々の面に重ね合わせることからなる。

本発明の一実施例の第4の段階は、この方法の第5の段階中に接点5が形成され得るよう誘電体材料層14を被覆し、エッチングする。

第5の段階及び最終段階において、導電性材料の層15は、直接多層トランジスタ20のゲート21を作成し、ゲート21と接続部3の間に接点を作成するため、被覆されエッチングされる。これは、4層のマスク層を含む図2 cに示されている。例えば、上記接続部3はゲートとソースの相互接続である。

かくして得られた上記の形のトランジスタは、一体的な電子制御回路が備え付けられた平らなスクリーンを作るため選択的に使用することが可能である。

図1 dには、上記方法に従って作成された直接多層トランジスタ20の少なくとも一部を含むアクティブマトリックススクリーンの一部分が示されている。同図は1画素だけを使用して記載されているが、マトリックスに配置された全ての画素に適用できることは明らかである。

上記方法の第1の段階において、透明導電性材料11の層は絶縁性基板10の上に被覆させられる。透明導電性材料は、トランジスタ20のソース1に対応するデータカラム25と、画素電極26を

形成するため、エッチングの前後で表面にドーパされる。同図の例において、上記電極26は略正方形であり、トランジスタ20のドレイン2に対応するピン2が合わされている。半導体13は、被覆され、次いで、エッチングされ、ソース1（カラム25）とドレイン2（画素電極26）を接合するメサを形成する。誘電体14がゲートを絶縁させるため全表面に亘って被覆され接点3を作成するためエッチングされる（図示しない）。最後に、導電性材料15が被覆されロウ28及び接点3を作成するためエッチングされる。

図1 eにはインバータ40の電氣的ブロック図が示されている。このインバータには、+V（47）と-V（46）の二つの極の間に直列に接続された二つのトランジスタが含まれている。ハイレベルの入力信号がトランジスタ42のゲート44に入るとき、トランジスタ42は導通する。トランジスタ41のゲートは、+Vの極でロウに接続されているので（43）、このトランジスタは導通し、ローレベルの出力信号が45から出力される。反対に、44にローレベルの信号が入力されるとき、トランジスタ42は非導通になり、ハイレベルの信号がインバータ40の45から出力される。

本発明の方法の第1の実施例に従って作成されたインバータ40は、図1 fに示されている。好ましくは、透明かつ表面処理された導電性材料11は、トランジスタ41及び42のソース及びドレインと、接続ロウ45を形成するため被覆され、エッチングされる。半導体13がソースとドレインを接合するメサ29を形成するため被覆され、エッチングされる。絶縁体14は、トランジスタ41及び42夫々の外部ソース及びドレインに開口5を作成するため被覆され、エッチ

ングされる。導電体15は、ゲート44及び43の接点と、ソースロー接点47(+V)と、ドレインロー接点46(-V)を作成するため被覆され、エッチングされる。

本発明の方法の第1の実施例によれば、薄い半導体材料13の層13と誘電体材料14の被覆は、同一真空サイクル中には作られな

いという制約がある。これにより、半導体層13をエッチングする際、上記二つの材料の間には僅かな接続部しか作成され得ないので、トランジスタの電気的特性が低下する可能性がある。この欠点は、以下の本発明の方法の実施例において回避される。

本発明の方法の第2の実施例は図2a乃至2dに示されている。

最初の2段階(図2a及び2b)は上記方法の同じ段階と同一であり、第1のマスク層に対応している。

第3の段階中、半導体材料の層13と、誘電体材料の層16は、図2bに示す如く、同時に被覆され、エッチングされる。誘電体16と半導体13が同一の真空サイクルで被覆され、エッチングされることは、二つの層の間の良好な接続部を保障する。

第4の段階は、全表面に亘って第2の誘電体層14を被覆し、エッチングする段階であり、ゲート22に対応する導電性層15(第5及び第6の段階で被覆される)と、接続部3との間に接点が作られ、及び/又は、誘電体層14の開口6は、ソース及びドレイン、半導体13及び絶縁体16、層11、13及び16によって形成されエッチングされたブロックのエッジを被うだけの誘電体層14とからなる島で導電性層15と絶縁体層16を接触させる。

かくして、この方法によれば、別の段階を追加することなく、上記の僅かな接続部の問題が解決され、図2c及び2dに示された誘電体14及び16の適当な選択によってその特性を選ぶことが可能な異なるの形のトランジスタ及びキャパシタを作成するため使用され得る。

図2cにはゲート誘電体として二つの誘電体14及び16を使用する第1の形のトランジスタ23が示されている。これにより、上記の形のトランジスタは、

「ゲートのストレス」に対し殆ど反応することがなく：かかる非励振現象は、ゲートが高い電圧で制御されるときアモルファスシリコンに依拠し、トランジスタの電気的特性は時間と共に劣化する。

図2 dにはゲート誘電体として誘電体16だけを使用する第2の形のトランジスタ24が示されている。これは、トランジスタ特性がより低い電圧に調整され、この形のトランジスタは周辺電子制御回路に使用されることを意味する。ゲートの絶縁体は更に薄くなるので、トランジスタを流れる電流は大きくなる。

一体的な電子制御回路が使用される場合、アクティブマトリックストランジスタは第1の形でも構わない。電子制御回路は両方の形のトランジスタを使用し得るので、従来技術と適合する低電圧外部信号に調整することができる。一般的に、二つの絶縁体16及び14の選択は、第1の形のトランジスタだけ、第2の形のトランジスタだけ、或いは、両方の形が混合されたトランジスタの何れでも使用できることを意味する。

同様の方法で、層16又は層14のいずれか一方、或いは、その両方を誘電体として使用する同一の製造方法を用いて、三つの異なる形のキャパシタを作成することが可能である。

その上、この形の方法によれば、誘電体材料14及び16が異なっている場合、一方の欠陥がもう一方に伝達されることがないので、良好な生産効率が得られる可能性がある。

図2 eには、図2 a、2 b及び2 cに示された第2の実施例の方法に従って作られた少なくとも数個のトランジスタ23を含むアクティブマトリックススクリーンの一部が示されている。同図は1画素を用いて記載されているが、この記載がマトリックスに配置された他の全ての画素に明らかに適用可能である。

上記方法の第1の段階において、透明導電性材料11の層は絶縁性基板10の上に被覆される。かかる透明導電性材料は、トランジスタ23のソース1に対応するデータカラム25と、画素電極26を形成するため、エッチングの前後で表面にドーパされる場合がある。同図の例において、電極26は略正方形であり、トランジスタ23のドレイン2に対応するピン2に合わされている。半導体13

と第1の誘電体16は、トランジスタ23のソース1とドレイン2を夫々に作るカラム25を電極26に接合するメサ27を形成するため同一の真空サイクル中に被覆され、共にエッチングされる。任意の接続部3とトランジスタ23のゲート22の間に図2cに示す如く接点5を作成するよう、全表面に被覆されエッチングされた第2の絶縁性層16は、図示されず、接続部3も図示されていない。アドレス指定ロウ28は、図2a、2b及び2cの第2の実施例の方法の第5の段階における被覆とエッチングの間に得られる。アドレス指定ロウは、例えば、一体的な電子制御回路のトランジスタのソース又はドレインである可能性のある接続部3と接触し、半導体13と第1の絶縁体16によって形成されたメサ27を完全に被う場合がある。

この形のトランジスタは図2cの二つの絶縁体14及び16をゲート誘電体として含む。

同様に、図2fには、図2a、2b及び2dに示された方法の第2の実施例を使用して作成されたアクティブマトリックスの一部が示されている。このアクティブマトリックスにおいて、トランジスタの全部又は一部は、ゲート誘電体（図2dのトランジスタ24）として第1の誘電体層16を含む。データカラム25と任意の形状の電極26が存在するが、トランジスタ24のドレイン2を形成するピンが含まれている。前の図との相違点は、上記方法の第4の段階において、第2の絶縁体層14は、トランジスタ24のゲート22に対応するアドレス指定ロウ28と、接続部3（図示しない）の間に接点を作ることに加えて、第1の絶縁体16だけがゲート誘電体を形成するようにエッチングされた。かくして第2の絶縁体14に設けられた領域6は、半導体13及び第1の絶縁体16によって占有された領域26よりも小さいことが好ましい。

図2gには、本発明の方法の第2の実施例を使用して作成された図1eのインバータ40が示され、インバータ40は上記の形の二

つのトランジスタ41及び42からなる。図1eの記載に関する説明は、メサ29が半導体層13から構成されるのではなく、第1の絶縁体層16と同時にエッチングされた半導体層13からなる点を除いて依然として利用することができる

。

図2 hには、第2の形の二つのトランジスタ4 1及び4 2を有する本発明の方法の第2の実施例を使用して作成された図1 e及び2 gのインバータ4 0が示されている。前の図との相違点は、開孔6が第2の絶縁体層1 4の中にエッチングされることである。

かくして、二つの異なる形のトランジスタが作成される。これらのトランジスタは、同一回路に設けることが可能であり、付加的なマスク層を追加することなく同一処理中に製造され、そのゲートは、例えば、スクリーンに一体化された周辺電子制御回路を伴うトランジスタのソース又はドレインのような同一回路の接続部に接続可能である。

その上、ゲート2 2と接続部3（二つのロウの単なる交点）の間に接続が必要ではない場合、一方又は両方の厚さが上記導電体を互いに隔離するため選択される。

誘電体1 4は、トランジスタと電極画素をゲート絶縁体及び相互接続誘電体（二つの重ね合わされた導電性層の絶縁）としてパッシベーションするため使用される。

本発明の方法の第3の実施例は、図3 aに示された先の方法と同一の第1及び第2の段階を含む。本発明の方法の第3の実施例の第3段階は、半導体材料の層1 3と誘電体材料の層1 6を同時に被覆する。上記最初の2段階は、2層のマスク層に対応している。

第3の段階は、半導体層の側で誘電体によって保護されていない領域1 3 1及び1 3 2をパッシベーションする段階である。このパッシベーションは、酸化（ $O$ ,  $O_2$ ,  $O_3$ ,  $N_2O$  プラズマ）、窒化（ $N$ ,  $NH_3$  プラズマ）、又は、パッシベーション（平らな誘電体の被覆と、引き続く、同じ誘電体の異方性のエッチング）に

よって行なうことができる。製造方法のこの段階において、本発明の方法の先の二つの実施例の場合、ゲートとソースはもはや誘電体層によって被われていないので、半導体の側1 3 1及び1 3 2は、ゲートソースのリークを防止するため

保護する必要がある。次いで、第4の段階において、導電性材料の層15は、第3のマスク層（図3c）を形成するため被覆され、エッチングされる。この例の場合、ゲート22と接続部3の接点は、導電性層15と接続部3の間の誘電体接点によって作られる。

上記第3の方法は、マスク層として導電体15を使用し、誘電体層16及び半導体材料13をエッチングすることからなる第5の段階によって拡張することが可能である。半導体13－絶縁体16のメサ領域は、図の紙面に垂直な平面内でエッチングされた導電性層15（ゲート）の各側方に拡大させることが可能であり、必要な技術を用いて回収される。第6の段階は、酸化又は窒化、或いは、誘電体16によって保護されていない半導体の側への誘電体の被覆によるパッシベーションからなる。

その上、ゲート22と接続部3の間に接点が必要ない場合、半導体13－絶縁体16のメサは導電性層15を隔離するため接続部3に残される場合がある。

図3a乃至3dに記載された本発明の方法の第3の実施例を使用して作られたアクティブマトリックスの一部が図3dに示されている。任意の形状の電極26は、トランジスタ30のドレインを形成するピン2を含む。上記電極26と同様に、ドレイン2に対向するタブと合わせられたカラム25は、トランジスタ30のソース1を形成するためエッチングされる。上記方法の第2の段階中に、半導体13と誘電体16は、メサ31及び32を形成するため、被覆され、エッチングされる。メサ31はトランジスタ30の半導体層を形成し、メサ32は、カラム25と、上記方法の第4の段階中に被覆されエッチングされたゲート28の間に絶縁層を形成する。メサ

31及び32の側は、ゲート28を被覆し、エッチングする前にパッシベーションされた。上記例において、半導体性－絶縁性メサは、ゲートの各側に突出するので、上記方法の第5及び第6の段階と同じ方法で取り扱う必要はないことに注意が必要である。

図3eには、本発明の方法の第3の実施例に従って作られた図1eのインバータ40が示されている。従って、このインバータには、トランジスタ41及び4



2と、トランジスタのソース及びドレインと接続部45を形成する第1の導電性層と、第1の半導体層13と第1の絶縁性層16からなり側がパッシベーションされたメサ29と、トランジスタ41及び42のゲート43及び44と、接続部46及び47とを形成する最終的な金属層15とが含まれる。

本発明の方法の第2及び第3の実施例において、半導体層13と同一の真空サイクルにおいて被覆された誘電体16は、上記二つの層の間に良好な接続を作る。

本発明の方法は、例えば、記憶容量を追加し、スクリーンの裏側からの光に対しトランジスタを保護することができるガラス基板、又は、先に処理された基板（概略的なレイアウト作図、ブラックマトリックス及び絶縁体層）に使用することが可能である。

本発明の特に興味のある改良点は、上記層が各直接多層トランジスタのソース及びドレインの間の半導体チャンネルをマスクし得るように本方法の最初で基板に第1の不透明な層を被覆しエッチングすることである。かかる第1の不透明な層は、画素電極を制御するトランジスタを構成するソース、ドレイン及び半導体が被覆された場所を光からマスクし、光に当てられた電極を含む領域だけを残すよう、被覆され、エッチングされるので、使用された半導体材料の光伝導性を阻止すると共にスクリーンのコントラストが改良される。これにより上記本発明の方法に追加されるマスク層は1層だけである。この層は、導電性であれば、反射金属から作られてもよく、この最初のエッチングに続いて、基板の全表面に亘って絶縁性層を被

覆させる必要がある。

この形の第1の不透明な層は、ブラックマトリックスと呼ばれ、本願出願人によって出願されたフランス国特許出願第91 12586号明細書に記載されている。

本発明の他の改良点は、上記方法の最初でアクティブマトリックスが基板に直接作成されるとき、蓄電キャパシタを追加することである。この形の蓄電キャパシタは、本願出願人によって出願されたフランス国特許出願第91 12585

号明細書に記載されている。かかる蓄電キャパシタは、基板全体に亘って直接被覆され、透明の絶縁性層によって被われた透明の導電性層に形成してもよい。従って、新しいマスク層は追加されていない。或いは、半導体層だけをマスクし、或いは、電極を含む領域内に限り光の通過を許容するようエッチングされた不透明な層でもよいので、ブラックマトリックスとして機能する。

好ましくは、基板10はガラスプレートであり、透明な材料及び導電体11は、ITO（インジウムと錫の酸化物）又は酸化錫（ $\text{SnO}_2$ ）であり、半導体材料13は、多層又は単層の水素化アモルファスシリコン（ $\text{a-Si:H}$ ）、或いは、多結晶又は微結晶のシリコンでもよい。誘電体14及び16は、二酸化珪素（ $\text{SiO}_2$ ）、窒化珪素（ $\text{SiN}$ ）、又は、オキシ窒化物でもよい。好ましくは、半導体層と接触する絶縁性層は、窒化珪素（ $\text{SiN}$ ）の層であり、導電体と接触する層は、二酸化珪素（ $\text{SiO}_2$ ）の層である。導電性材料は、アルミニウム、チタン、クロム、モリブデン、タングステン、タンタル、ITOの合金又は多層から作られてもよい。

本発明は、直接的なセルフパッシベーションと、セルフシールドと、処理とを施され、又は、処理が施されない場合もある基板、或いは、写真複写、又は、光ダイオードモジュールの制御に使用されるプレートに類似したアモルファスシリコンに基づくガラスプレートの上に一体化されたあらゆる形の電子回路（信号処理電子回

路）の製造に使用することができ、特に、外部又は一体的な電子制御回路（ドライバ）によって制御されるフラットな液晶スクリーンの製造に使用し得る多層構造を有する薄膜トランジスタの製造に応用できる。

【図1】

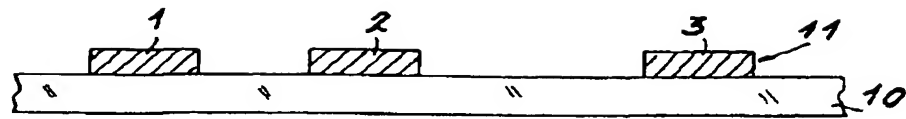


FIG. 1 a

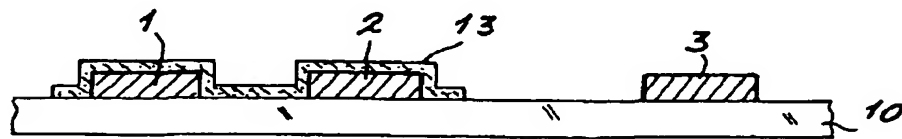


FIG. 1 b

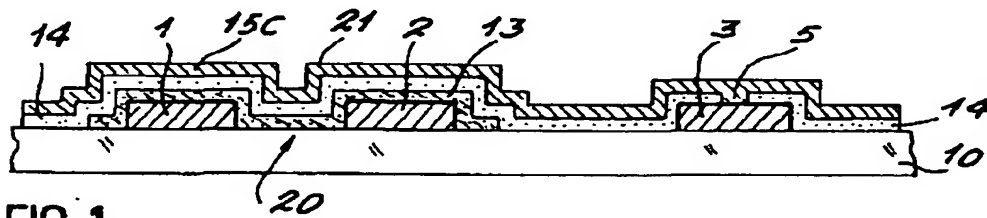


FIG. 1 c

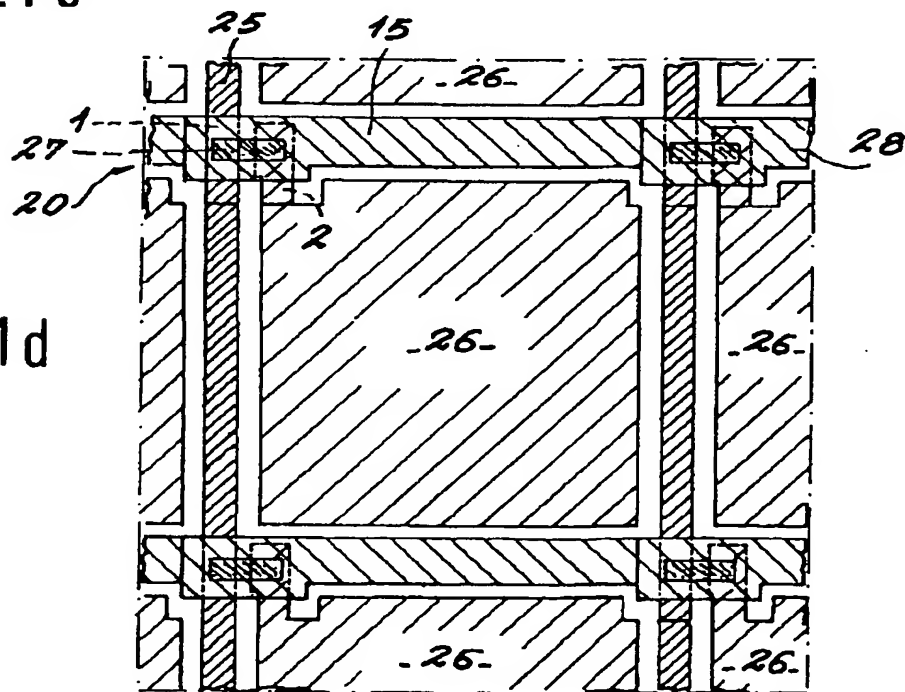


FIG. 1 d

【図1c】

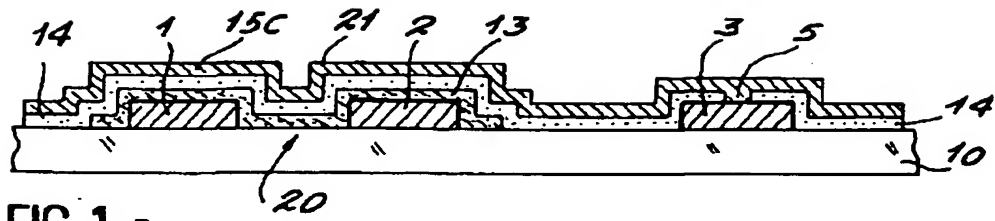
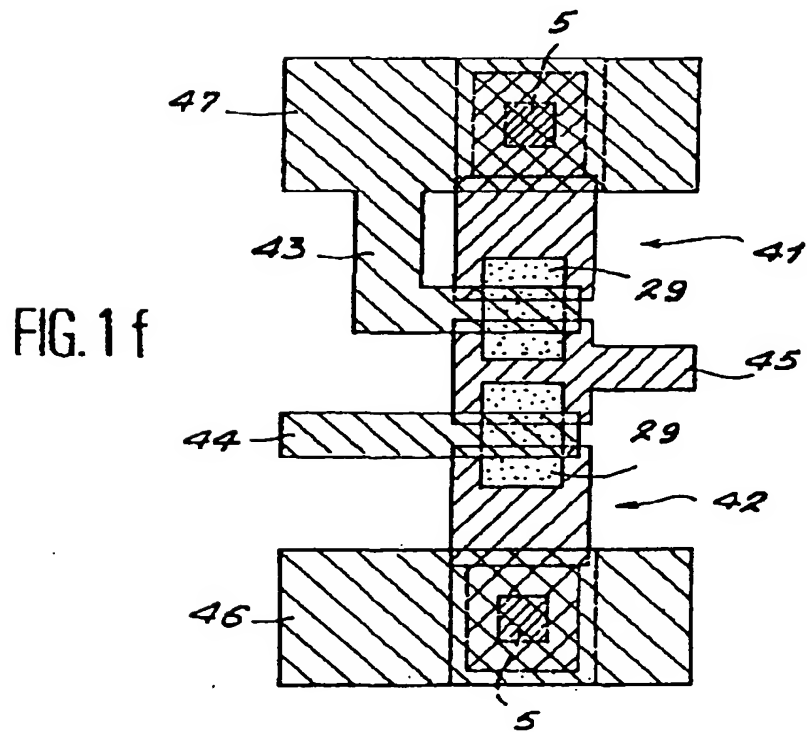
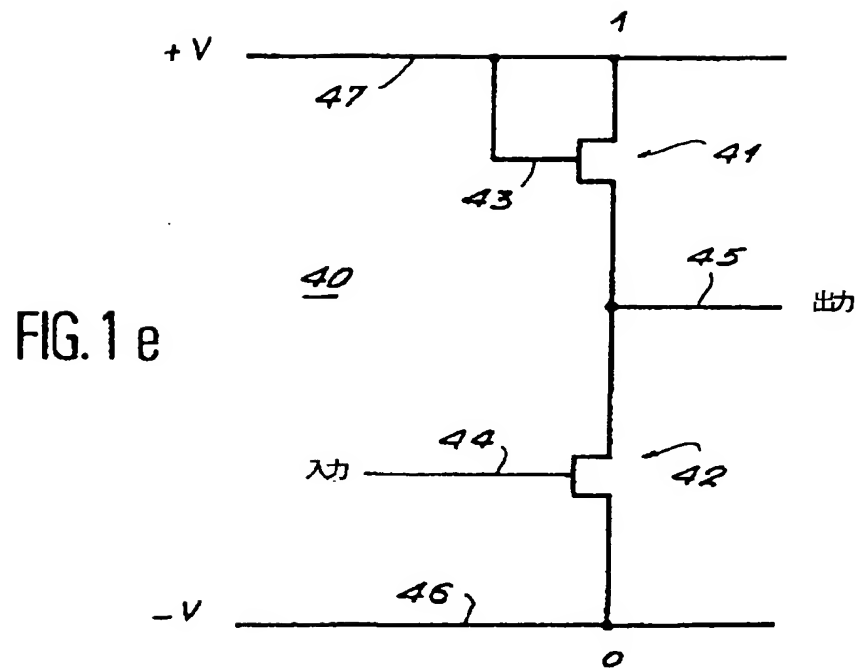


FIG. 1 c

【図1】



【図2】

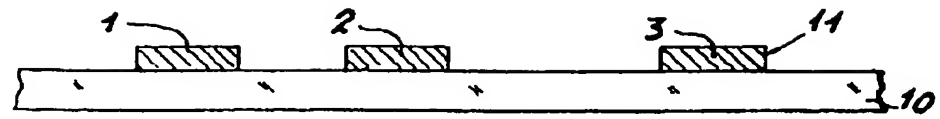


FIG. 2 a

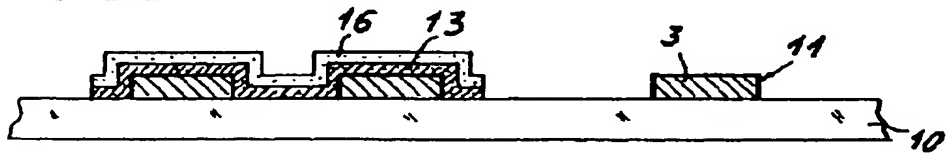


FIG. 2 b

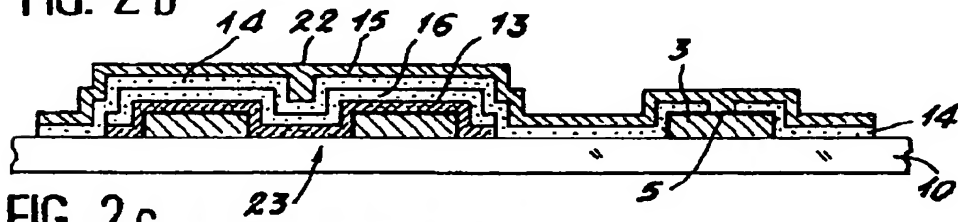


FIG. 2 c

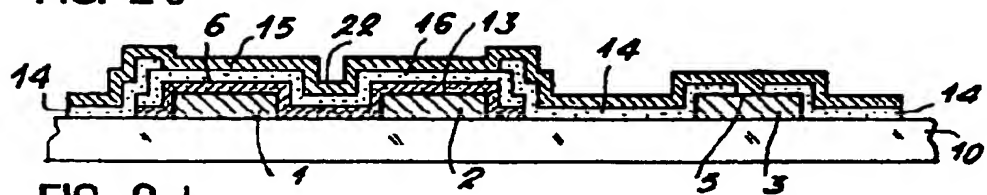


FIG. 2 d

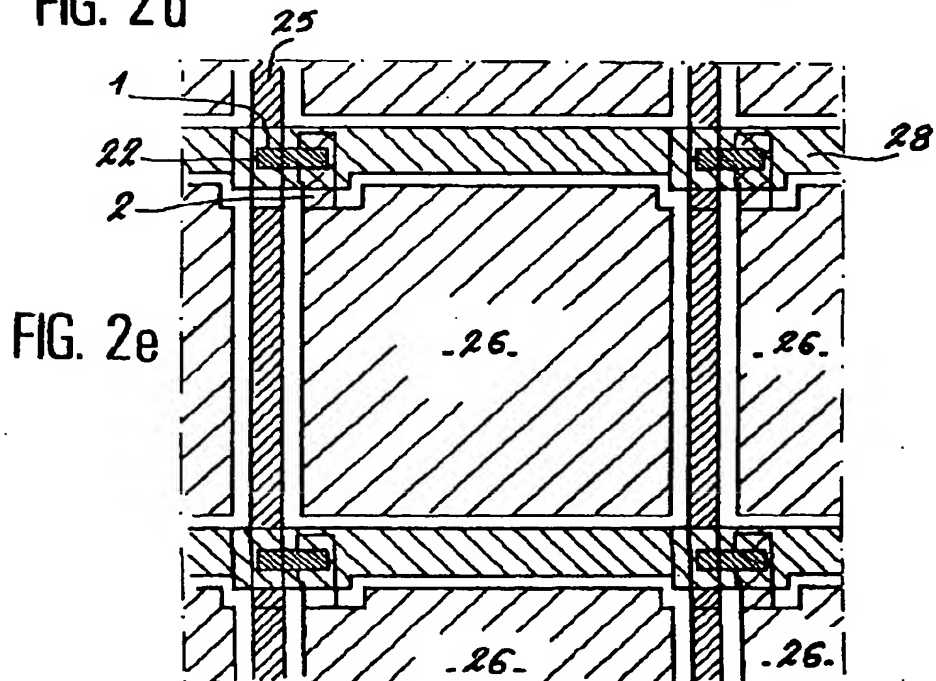
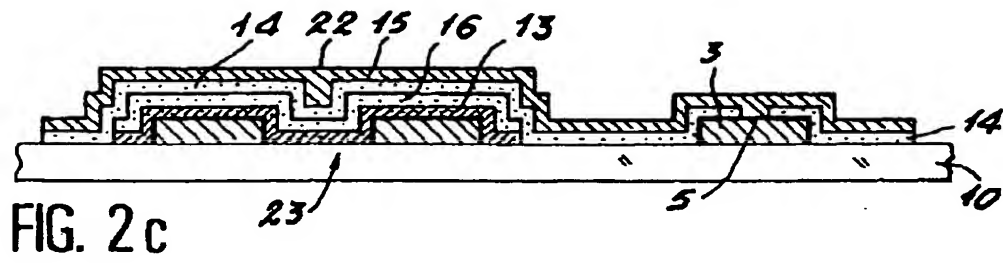


FIG. 2 e

【図2c】



【図2】

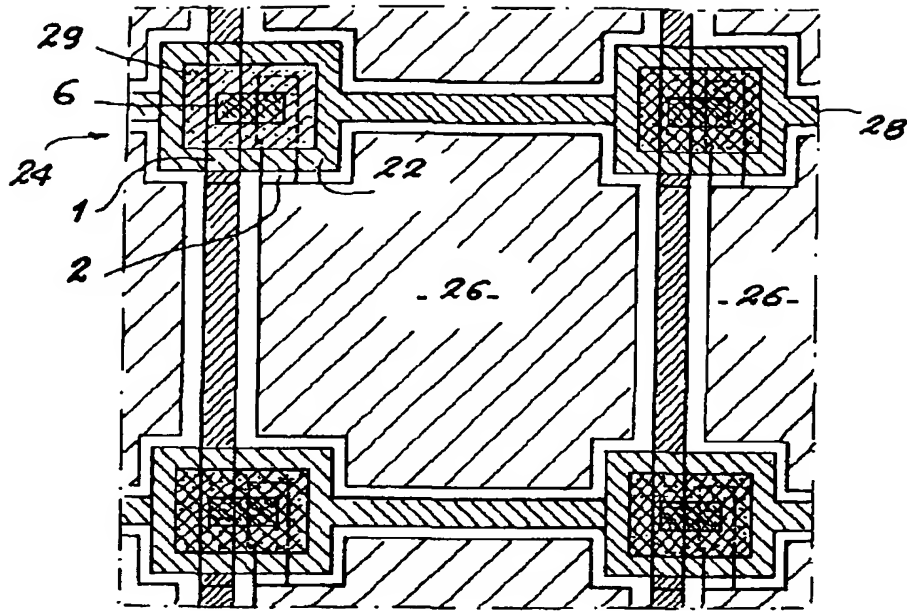


FIG. 2 f

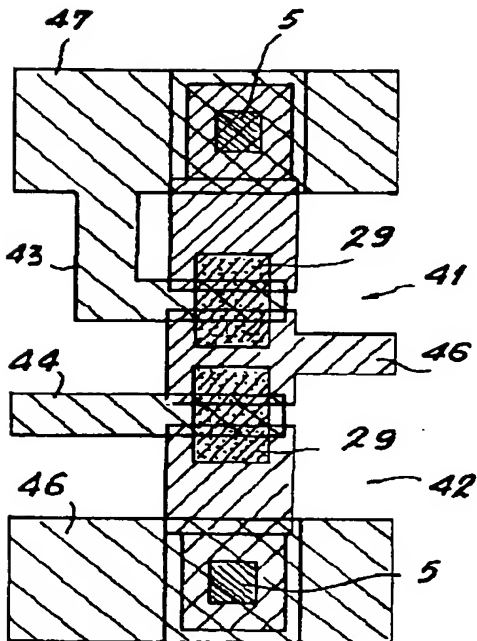


FIG. 2 g

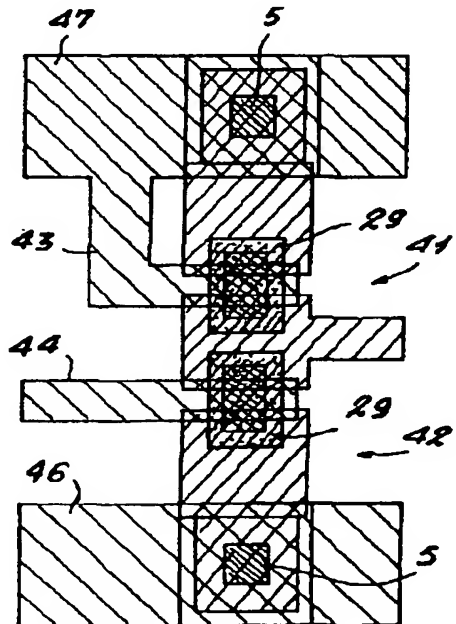


FIG. 2 h



【図3】

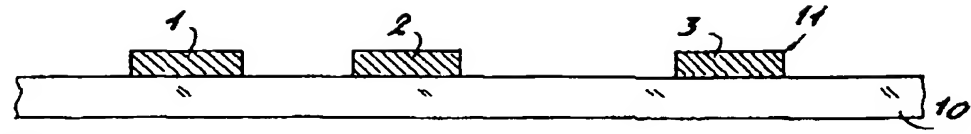


FIG. 3a

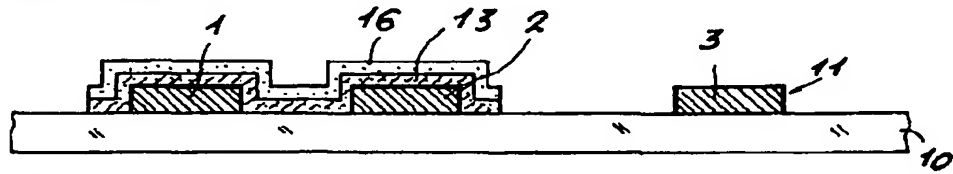


FIG. 3b

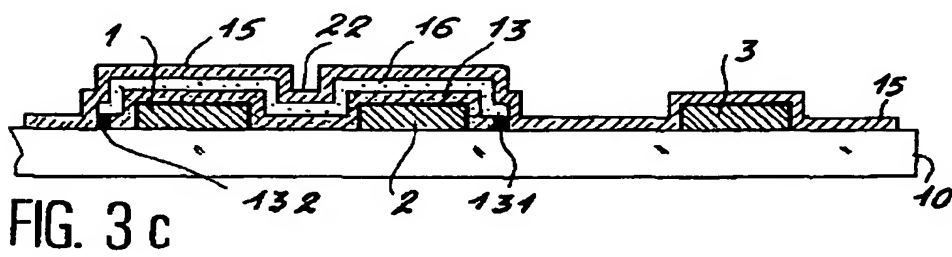


FIG. 3c

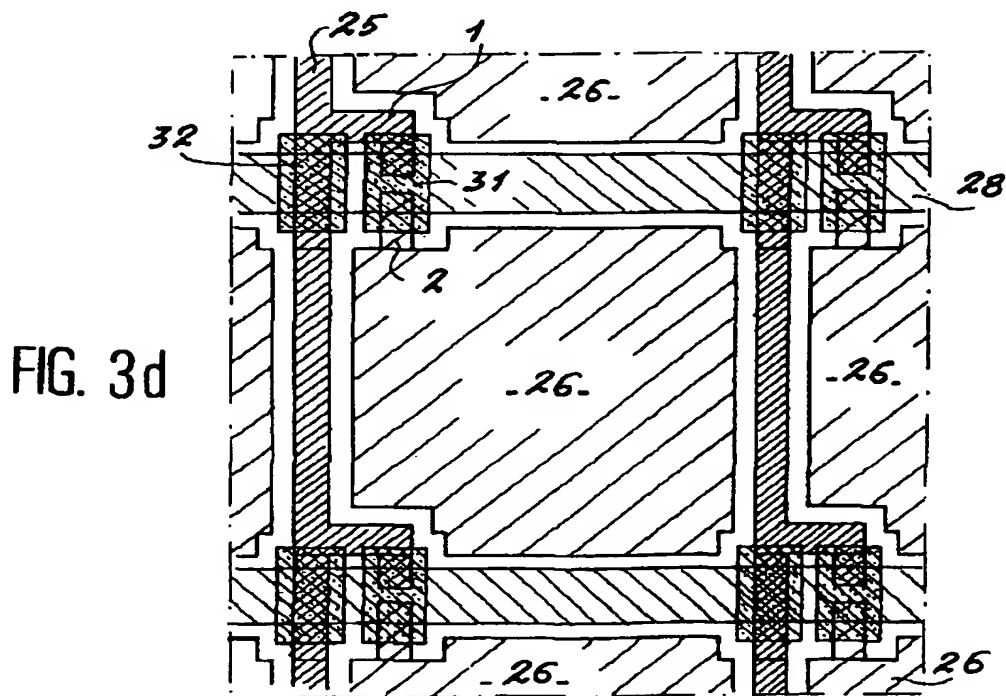


FIG. 3d

【図3】

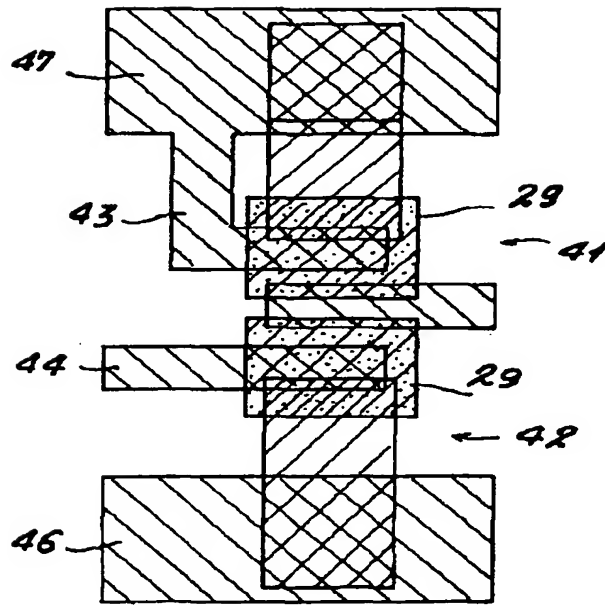


FIG. 3e

## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

A. CLASSIFICATION OF SUBJECT MATTER IPC 5 H01L27/12 H01L21/336 H01L21/84 H01L29/784 G02F1/136		International Application No. PCT/FR 94/00278
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 5 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	IEEE TRANSACTIONS ON ELECTRON DEVICES, vol.36, no.12, December 1989, NEW YORK US pages 2868 - 2872, XP000088034 K. SERA ET AL 'High performance TFT's as fabricated by XeCl excimer laser annealing of hydrogenated amorphous silicon film.' see page 2868, right column; figure 2 ---	1,8-10, 12,13, 17,19-24
X	EP,A,0 486 047 (SEIKO EPSON CORP.) 20 May 1992 see column 18, line 49 - column 21, line 29; figure 8 ---	1
A	EP,A,0 335 724 (SEIKO INSTRUMENTS INC.) 4 October 1989 see figure 6 --- -/--	1,14
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		
<input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such docu- ments, such combination being obvious to a person skilled in the art "Z" document member of the same patent family		
Date of the actual completion of the international search 13 June 1994		Date of mailing of the international search report 05.10.94
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 cpo nl. Fax (+31-70) 340-3016		Authorized officer GELEBART J.F.M.

## INTERNATIONAL SEARCH REPORT

Intern. Pat. Application No.  
PCT/FR 94/00278

C. (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JAPAN DISPLAY 89, 1989 pages 506 - 509 T. YUKAWA ET AL 'An ohmic contact formation method for fabricating a-Si TFT's on large size substrate' cited in the application see figure 4	1
A	--- ELECTRONICS. DE 1984 A 1985 : ELECTRONICS WEEK, vol. 59, no. 13, March 1986, NEW YORK US page 15 T. CALLAGHER 'Simpler screen reduces Mnritel size' see the whole document	1
A	--- EURODISPLAY 90, 25 September 1990; AMSTERDAM, NL; pages 370 - 373, XP000239201 T. WADA ET AL '1280 X 800 color pixel 15 inch full color active matrix liquid display' cited in the application see figure 3	1
Y	--- IEEE TRANSACTIONS ON ELECTRON DEVICES, vol. 37, no. 7, July 1990, NEW YORK US pages 1771 - 1772, XP000133277 A. C. IPRI ET AL 'Low-cost process for fabricating polysilicon transistors' see figure 1	1, 2
Y	--- PATENT ABSTRACTS OF JAPAN vol. 012, no. 127 (E-602) 20 April 1988 & JP, A, 62 252 973 (NEC CORP) 4 November 1987 see abstract	1, 2
A	--- PATENT ABSTRACTS OF JAPAN vol. 012, no. 440 (E-684) 18 November 1988 & JP, A, 63 172 469 (FUJITSU LTD) 16 July 1988 see abstract -----	1

**INTERNATIONAL SEARCH REPORT**

information on patent family members

International Application No

PCT/FR 94/00278

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP-A-0486047	20-05-92	JP-A- 5129202	25-05-93
EP-A-0335724	04-10-89	JP-A- 1251016	06-10-89

フロントページの続き

(72)発明者 エップ, ベルナール  
フランス国 92402 クールベボワ セイ  
クス ベペ 329 トムソン-セエスエ  
フ・エスセペイ内 (番地なし)

【要約の続き】

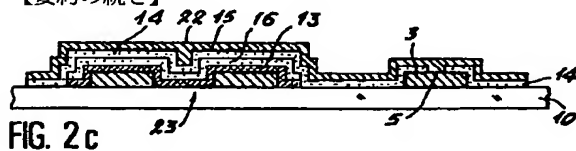


FIG. 2c